

BEST AVAILABLE COPY

日 本 国 特 許 庁
JAPAN PATENT OFFICE

PCT/JP 2004/008215

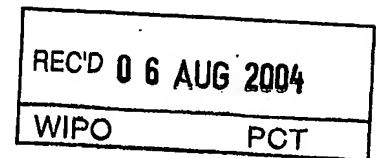
17. 6. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 6 月 1 2 日

出 願 番 号
Application Number: 特願 2 0 0 3 - 1 6 8 5 2 9
[ST. 10/C]: [J P 2 0 0 3 - 1 6 8 5 2 9]



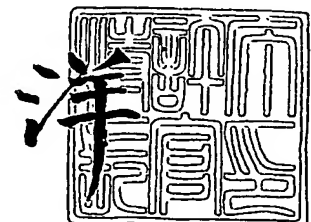
出 願 人
Applicant(s): 株式会社豊田自動織機
新潟精密株式会社
大見 忠弘

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 6 3 8 1 0

【書類名】 特許願

【整理番号】 2003TJ039

【提出日】 平成15年 6月12日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/10
H03D 1/22
H04B 1/28

【発明者】

【住所又は居所】 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内

【氏名】 西牟田 武史

【発明者】

【住所又は居所】 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内

【氏名】 宮城 弘

【発明者】

【住所又は居所】 宮城県仙台市青葉区米ヶ袋 2 - 1 - 1 7 - 3 0 1

【氏名】 大見 忠弘

【発明者】

【住所又は居所】 宮城県仙台市青葉区川内元支倉 3 5 - 2 - 1 0 2

【氏名】 須川 成利

【発明者】

【住所又は居所】 宮城県仙台市宮城野区平成 1 - 1 - 2 2 - K 6

【氏名】 寺本 章伸

【特許出願人】

【識別番号】 000003218

【氏名又は名称】 株式会社豊田自動織機

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【特許出願人】

【識別番号】 000205041

【氏名又は名称】 大見 忠弘

【代理人】

【識別番号】 100074099

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005945

【包括委任状番号】 0118621

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ミキサ回路

【特許請求の範囲】

【請求項 1】 第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、前記第一周波数の信号及び前記第二周波数の信号を乗算して第三周波数の信号を生成するミキサ回路であって、

前記差動対トランジスタの各トランジスタは、

第 1 の結晶面を主面として有する半導体基板と、

該半導体基板の一部として形成され、前記第 1 の結晶面とは異なった第 2 の結晶面により画成された 1 対の側壁面と、前記第 2 の結晶面とは異なった第 3 の結晶面により画成された頂面とよりなる、半導体構造と、

前記主面及び前記側壁面及び前記頂面を一樣な厚さで覆うゲート絶縁膜と、

前記主面及び前記側壁面及び前記頂面を、前記ゲート絶縁膜を介して連続的に覆うゲート電極と、

前記半導体基板中及び前記半導体構造中の、前記ゲート電極を介する一方側及び他方側に形成され、いずれも前記主面及び前記側壁面及び前記頂面に沿って連続的に延在する、同一導電型拡散領域と、

よりなる M I S トランジスタである、

ことを特徴とするミキサ回路。

【請求項 2】 第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、前記第一周波数の信号及び前記第二周波数の信号を乗算して第三周波数の信号を生成するミキサ回路であって、

前記差動対トランジスタの各トランジスタは、

表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、

前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、

前記半導体基板と電気的に絶縁されるように前記ゲート絶縁膜を介して構成され、かつ前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に

対して構成されるゲート電極と、

前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に面して前記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、

よりなるMISトランジスタである、

ことを特徴とするミキサ回路。

【請求項3】 第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、前記第一周波数の信号及び前記第二周波数の信号を乗算して第三周波数の信号を生成するミキサ回路であって、

前記差動対トランジスタの各トランジスタは、

少なくとも二つの結晶面を有する半導体基板と、

該半導体基板上であって前記結晶面の少なくとも二つに対して形成したゲート絶縁膜と、

該ゲート絶縁膜を挟んで前記半導体基板上に形成したゲート電極と、

を有し、

該ゲート電極に電圧を加えた際に前記ゲート絶縁膜に沿って前記半導体基板中に形成されるチャネルのチャネル幅が、前記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅の総和で示される、

立体構造MISトランジスタである、

ことを特徴とするミキサ回路。

【請求項4】 前記MISトランジスタは、

前記半導体基板がシリコン基板であり、

前記シリコン基板の表面に形成されたゲート絶縁膜が、前記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、前記シリコン基板と前記ゲート絶縁膜との界面における前記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ことを特徴とする請求項1乃至3の何れか一つに記載のミキサ回路。

【請求項5】 前記少なくとも二つの結晶面は、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わせられてなる、

ことを特徴とする請求項 1 乃至 4 の何れか一つに記載のミキサ回路。

【請求項 6】 前記ミキサ回路は、ギルバートセル型の回路である、
ことを特徴とする請求項 1 乃至 5 の何れか一つに記載のミキサ回路。

【請求項 7】 前記ミキサ回路の回路構成を前記 M I S トランジスタを用いて左右対称の構成にしたことを特徴とする、請求項 1 乃至 6 の何れか一つに記載のミキサ回路。

【請求項 8】 前記第一周波数の信号は高周波信号であり、前記第二周波数の信号はローカル信号であり、前記第三の信号は低周波信号である、受信機用として利用されることを特徴とする請求項 1 乃至 7 の何れか一つに記載のミキサ回路。

【請求項 9】 前記低周波信号がベースバンド信号であるダイレクトコンバージョン受信方式で利用されることを特徴とする請求項 8 に記載のミキサ回路。

【請求項 10】 n チャネル MOS トランジスタ及び p チャネル MOS トランジスタからなる CMOS トランジスタを有し、

前記 n チャネル MOS トランジスタまたは前記 p チャネル MOS トランジスタの少なくとも一方が請求項 1 乃至 5 の何れか一つに記載のミキサ回路の M I S トランジスタによって構成される、

ことを特徴とするミキサ回路。

【請求項 11】 前記 p チャネル MOS トランジスタと前記 n チャネル MOS トランジスタの素子面積及び電流駆動能力は略一致する、ことを特徴とする請求項 10 に記載のミキサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、M I S 集積回路上に構成されるミキサ回路に関する。

【0002】

【従来の技術】

高周波 (R F) 信号から所望波を取り出す技術としてダイレクトコンバージョン受信方式が良く知られている。

この受信方式では搬送波周波数を中間周波数（IF）を介さずに直接ベースバンド周波数へ変換する。

【0003】

図11は、一般的なダイレクトコンバージョン受信方式を示す回路ブロック図である。

同図の回路ブロック図1100は、アンテナ1102、低雑音増幅器（LNA）1104、局部発振器1106、90度移相器1108、ミキサ1110、ローパスフィルタ（LPF）1112、DCアンプ1114、A/D変換器1116、及びDSP1118から構成されている。

【0004】

同図のアンテナ1102からRF信号を受信すると、そのRF信号をLNA1104で増幅させ、その増幅したRF信号を同図の上下に配置されたミキサ1110に入力する。

また、局部発振器1106からは上記RF信号と同じ周波数のローカル（LO）信号が出力され、90度移相器1108で互いに90度の位相を持たせて各ミキサ1110にそのLO信号を入力する。

【0005】

ミキサ1110では、上記入力されたRF信号とLO信号とを乗算し、LNA1104の出力を同相（I）成分及び直交（Q）成分を有するベースバンド信号へそれぞれ変換している。この方式によるとIFがゼロとなりベースバンド信号が折り重なって復調できなくなるため、前述したように位相の90度異なる二つのLO信号と二組のミキサ1110を用いて直交復調を行なう。

【0006】

ミキサ1110から出力された信号は、その後段で、LPF1112によって不要波がカットされ、LPF1112から出力された所望波がDCアンプ1114で増幅され、DCアンプ1114から出力された信号がA/D変換器1116でデジタル信号に変換される。

【0007】

そして、A/D変換器1116によって変換されたデジタル信号がDSP11

18に入力されることにより、符号再生等の処理が行なわれる。

この受信方式では搬送波周波数を中間周波数（IF）を介さずに直接ベースバンド周波数へ変換するため、原理的にイメージ周波数は存在しない。

【0008】

よって、搬送波周波数を中間周波数（IF）を介してベースバンド周波数へ変換する既知のスーパーヘテロダイン受信方式において用いられる、イメージ周波数を取り除くためのバンドパスフィルタや、中間周波数を取り出すために帯域制限を行なう中間周波数フィルタなどの部品が、同図からも明らかなように当該ダイレクトコンバージョン受信方式では削減することができる。そのため、本受信方式は受信機の小型化には最適であるため、今後の技術革新に大きな期待が寄せられている。

【0009】

その中でもミキサ回路1110は上段の回路に配置され、その出力信号が後段の回路に悪影響しないように、高品質な出力信号を得ることが必要とされている。

一方、昨今では、低スピードの問題と雑音が大きいという問題がMOS（Metal-Oxide-Semiconductor）トランジスタの技術分野で改善されつつあり、MOSトランジスタの構造に特徴をもたせた半導体装置も多く見られるようになってきた。このようなものの一つとして、半導体基板上に一導電型（pチャネルまたはnチャネル）のMOSトランジスタを単体で構成した半導体装置の構成例が特開2002-110963号公報に開示されている。

【0010】

ここに開示されているMOSトランジスタでは、MOSトランジスタのゲート絶縁膜を熱酸化処理を施して半導体基板の凸部表面に構成しており、半導体基板の上記凸部の側壁面にチャネルを形成できるとされている。

このように、従来より、ミキサ回路はその出力信号を高品質なものにし、かつ半導体基板上に集積化させることが問われ、改良が行なわれてきた。

【0011】

【特許文献1】

特開 2003-134183 号公報

【0012】

【特許文献 2】

特開 2002-110963 号公報

【0013】

【発明が解決しようとする課題】

しかし、例えば上記ダイレクトコンバージョン受信方式を採用した場合、上述した部品点数の削減という利点に相反する形で別の問題が顕著に現れてくる。

その問題とは、DC オフセットの発生や雑音などによる、復調信号の品質の劣化である。

【0014】

ダイレクトコンバージョン受信方式では、アンテナで受信した RF 信号と局部発振器から出力した LO 信号との周波数が同一であるため、LO 信号が RF 信号経路に漏れ込むと、ミキサにおいて LO 信号同士の自己混合が生じて DC オフセットが発生する。また、この DC オフセットの発生は、ミキサを構成するトランジスタ素子の電気的特性のばらつきによっても生じる。このうち、後者の DC オフセットの発生要因であるトランジスタ素子については、差動対構成のトランジスタであり、互いのトランジスタの電気的特性が揃わないために生じる。

【0015】

通常 IF 増幅段で利得を稼ぐ上記スーパーヘテロダイン受信方式に対して、当該ダイレクトコンバージョン受信方式ではその利得の大部分をベースバンド信号処理部で稼ぐなければならない。そのため、信号がベースバンド処理部で増幅されると、上記 DC 成分により信号レベルが全体的に上にシフトして A/D 変換器のダイナミックレンジを有効利用できないといった問題を引き起こす。

【0016】

また、トランジスタ特性における飽和領域においては、ドレインソース間電圧に寄らずドレイン電流が一定の値を示すことが理想的であるが、実際には、この飽和領域におけるピンチオフ点（チャネルキャリア密度が略 0 になる点）の移動により、実行ゲート長は減少し、反対にドレイン電流が上昇するというチャネ

ル長変調現象が生じる。このため、混合された信号における歪のない安定した信号を得ることが困難になる。

【0017】

さらに、IF増幅段で利得を稼ぐ上記スーパーヘテロダイン受信方式では、回路に用いられている抵抗や伝送線路の損失、使用しているトランジスタの電極配線抵抗、または半導体層の抵抗などから生じる熱雑音のみが問題となるが、その利得の大部分をベースバンド信号処理部で稼ぐ当該ダイレクトコンバージョン受信方式では、低周波雑音も問題となってくる。

【0018】

この問題となる低周波雑音とは、表面・界面における、電子正孔対の生成、再結合やトラップでのキャリアの捕獲、或いはトラップからのキャリアの放出など、ミキサに構成されるトランジスタから生じるフリッカ雑音（ $1/f$ 雑音）である。

【0019】

このように、ミキサ回路は復調信号の品質を劣化させる様々な要因を含んでいるため、ミキサ回路の小型化と共にミキサ回路から出力される混合信号の品質を向上させることが課題であった。

そこで本発明は、出力される混合信号の品質を向上させることが可能なミキサ回路を提供することを目的とする。

【0020】

【課題を解決するための手段】

本発明は上記課題を解決するために以下のように構成する。

本発明のミキサ回路の態様の一つは、第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、上記第一周波数の信号及び上記第二周波数の信号を乗算して第三周波数の信号を生成することを前提とし、上記差動対トランジスタの各トランジスタは、第1の結晶面（例えば（100）面など）を主面として有する半導体基板と、該半導体基板の一部として形成され、上記第1の結晶面とは異なった第2の結晶面（例えば（110）面など）により画成された1対の側壁面と、上記第2の結晶面とは異なった第3の結晶

面（例えば、（100）面や（111）面などがあるが、好適には、上記第1の結晶面と同じ結晶面）により画成された頂面とよりなる、半導体構造と、上記主面及び上記側壁面及び上記頂面を一様な厚さで覆うゲート絶縁膜と、上記主面及び上記側壁面及び上記頂面を、上記ゲート絶縁膜を介して連続的に覆うゲート電極と、上記半導体基板中及び上記半導体構造中の、上記ゲート電極を介する一方側及び他方側に形成され、いずれも上記主面及び上記側壁面及び上記頂面に沿って連続的に延在する、同一導電型拡散領域と、よりなるMIS（Metal-Insulator-Semiconductor）トランジスタが構成される。

【0021】

本発明のミキサ回路のその他の態様の一つは、第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、上記第一周波数の信号及び上記第二周波数の信号を乗算して第三周波数の信号を生成することを前提とし、上記差動対トランジスタの各トランジスタは、表面が少なくとも二つの異なる結晶面（例えば、（100）面及び（110）面、（100）面及び（111）面、（110）面及び（111）面、（100）面及び（110）面及び（111）面など）を有する凸部を主面に対して構成する半導体基板と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、上記半導体基板と電気的に絶縁されるように上記ゲート絶縁膜を介して構成され、かつ上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に面して上記凸部中に形成され、かつ上記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、よりなるMISトランジスタが構成される。

【0022】

本発明のミキサ回路のその他の態様の一つは、第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、上記第一周波数の信号及び上記第二周波数の信号を乗算して第三周波数の信号を生成することを前提とし、上記差動対トランジスタの各トランジスタは、少なくとも二つの結晶面を有する半導体基板と、該半導体基板上であって上記結晶面の少なくとも

二つに対して形成したゲート絶縁膜と、該ゲート絶縁膜を挟んで上記半導体基板上に形成したゲート電極と、を有し、該ゲート電極に電圧を加えた際に上記ゲート絶縁膜に沿って上記半導体基板中に形成されるチャネルのチャネル幅（電子や正孔などのキャリアの移動方向に対して直交し、上記ゲート絶縁膜に沿った方向のチャネルの幅）が、上記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅（電子や正孔などのキャリアの移動方向に対して直交し、上記ゲート絶縁膜に沿った方向のチャネルの幅）の総和で示される、立体構造MISトランジスタが構成される。

【0023】

なお、上記各態様において、上記MISトランジスタは、上記半導体基板がシリコン基板であり、上記シリコン基板の表面に形成されたゲート絶縁膜が、上記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、上記シリコン基板及び上記ゲート絶縁膜の界面における上記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ように構成されることが望ましい。

【0024】

また、上記各態様において、上記少なくとも二つの結晶面は、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わされてなる、ように構成することが望ましい。

また、上記各態様において、上記ミキサ回路は、ギルバートセル型の回路で構成することが望ましい。

【0025】

また、上記各態様において、上記ミキサ回路の回路構成を上記MISトランジスタを用いて左右対称の構成にする、ことが望ましい。

また、上記各態様のミキサ回路を、上記第一周波数の信号を高周波信号とし、上記第二周波数の信号をローカル信号とし、上記第三の信号を低周波信号とした、受信機に適用してもよい。また、上記低周波信号をベースバンド信号とするダイレクトコンバージョン受信方式で適用させてもよい。

【0026】

さらに、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタからなるCMOSトランジスタを有するミキサ回路において、上記nチャネルMOSトランジスタまたは上記pチャネルMOSトランジスタの少なくとも一方を、上記各態様のミキサ回路の何れか一つのミキサ回路に構成される上記MISトランジスタの構成をもって構成させることもできる。

【0027】

この時、上記pチャネルMOSトランジスタと上記nチャネルMOSトランジスタの素子面積及び電流駆動能力は略一致する、ように構成することが望ましい。

本発明のミキサ回路においては、上記少なくとも二つの異なる結晶面に沿ってゲート幅が形成される。そのため、ゲートに電圧が印加されると、上記少なくとも二つの異なる結晶面に沿ってチャネルが形成される。そして、特に凸部の結晶面に沿ってチャネルが形成された際に、各トランジスタで生じるゲート長変調効果が大幅に抑制される。

【0028】

また、上記MISトランジスタにおいて、上記半導体基板がシリコン基板であり、上記シリコン基板の表面に形成されたゲート絶縁膜が、上記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、上記シリコン基板の表面及び上記ゲート絶縁膜の界面における上記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ように形成できるので、半導体基板とゲート絶縁膜との界面における界面準位密度を低下でき、 $1/f$ 雑音の低減及び各トランジスタの電気的特性のばらつきが低減できる。

【0029】

さらに、上記少なくとも二つの結晶面が、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わせられることによって、上記 $1/f$ を大幅に低減でき、電気的特性のばらつきも大幅に低減できる。

上記トランジスタを差動対に構成することによって、外部に乗ってくるノイズも相殺できる。

【0030】

また、左右対称な回路を上記トランジスタで構成できるのでミキサ回路から出力される信号は安定した所望の信号になる。

また、ダイレクトコンバージョン方式に上記ミキサ回路を適用すれば、ミキサ回路の後段に構成されるA/D変換器においてダイナミックレンジを有効利用できるようになる。

【0031】

さらに、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタの電流駆動能力及び素子面積を一致させたCMOS (Complementary Metal Oxide Semiconductor) トランジスタを有するミキサ回路を構成できるようになる。

【0032】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照しながら詳細に説明する。

本発明の実施の形態のミキサ回路はMIS (Metal-Insulator-Semiconductor) 構造を有するトランジスタによって構成される。そして、本発明の実施の形態において、このMISトランジスタのゲート絶縁膜は、特開2002-261091号公報に開示されているゲート絶縁膜薄膜形成技術を取り入れて形成する。

【0033】

なお、上記ゲート絶縁膜としては、上記特開2002-261091号公報に開示されているように窒化膜や酸窒化膜とすることもできるが、本実施の形態においては上記ゲート絶縁膜を酸化膜としたMOS (Metal-Oxide-Semiconductor) トランジスタ (例えばMOSFETなど) を代表に挙げて説明することにする。

【0034】

先ず始めに、上記MOSトランジスタのゲート絶縁膜薄膜形成方法について説明する。

図1は、ラジアルラインスロットアンテナを用いたプラズマ処理装置100の一例を示す断面図である。

【0035】

本ゲート絶縁膜薄膜形成方法においては、シリコン（またはSiで示す）表面の未結合手を終端している水素を除去するのに、次の酸化膜形成工程でプラズマ励起ガスとして使われるKrを使用し、同一処理室内で連続して表面終端水素除去処理と酸化処理とを行なう。

【0036】

先ず、真空容器（処理室）101内を真空にし、次にシャワープレート102から最初にArガスを導入し、それをKrガスに切替える。さらに、前記処理室101内の圧力を133Pa（1Torr）程度に設定する。

次にシリコン基板103を、加熱機構を持つ試料台104に置き、試料の温度を400℃程度に設定する。前記シリコン基板103の温度が200-550℃の範囲内であれば、以下に述べる結果はほとんど同様のものとなる。前記シリコン基板103は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

【0037】

次に同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ106から処理室101の壁面の一部に設けられた誘電体板107を通して、前記処理室101内に導入する。導入されたマイクロ波は前記シャワープレート102から前記処理室101内に導入されたKrガスを励起し、その結果前記シャワープレート102の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

【0038】

図1の構成においてシャワープレート102と基板103の間隔は、本実施形態では6cmに設定する。この間隔は狭いほうがより高速な成膜が可能となる。

なお、本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

【0039】

前記シリコン基板 103 を Kr ガスで励起されたプラズマに曝すことにより、前記シリコン基板 103 の表面は低エネルギーの Kr イオン照射を受け、その表面終端水素が除去される。

図 2 は前記シリコン基板 103 表面におけるシリコン-水素結合を赤外分光器により分析した結果であり、前記処理室 101 中にマイクロ波を 133 Pa (1 Torr) の圧力下、 1.2 W/cm^2 のパワーで導入することで励起した Kr プラズマによる、シリコン表面終端水素の除去効果を示す。

【0040】

図 2 を参照するに、わずか 1 秒程度の Kr プラズマ照射でシリコン-水素結合に特徴的な波数 2100 cm^{-1} 付近の光吸収がほとんど消滅し、約 30 秒の照射ではほぼ完全に消滅するのがわかる。すなわち、約 30 秒の Kr プラズマ照射により、シリコン表面を終端していた水素が除去できることがわかる。本実施形態では、1 分間の Kr プラズマ照射を施して、表面終端水素を完全に除去する。

【0041】

次に、前記シャワープレート 102 から 97/3 の分圧比の Kr/O₂ 混合ガスを導入する。この際、処理室内の圧力は 133 Pa (1 Torr) 程度に維持しておく。Kr ガスと O₂ ガスが混合された高密度励起プラズマ中では、中間励起状態にある Kr* と O₂ 分子が衝突し、原子状酸素 O* を効率よく大量に発生できる。

【0042】

本例では、この原子状酸素 O* により前記シリコン基板 103 の表面を酸化する。本薄膜形成方法を用いることにより、原子状酸素による酸化処理では、400°C 程度の非常に低い温度での酸化が可能となる。Kr* と O₂ の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生した O* 同志が衝突し、O₂ 分子に戻ってしまう。当然、最適ガス圧力が存在する。

【0043】

図 3 に、処理室内の Kr/O₂ の圧力比を 97/3 に保持しつつ、前記処理室 101 内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係を示す。ただし図 3 では、シリコン基板 103 の温度を 400°C に

設定し、10分間の酸化処理を行っている。

【0044】

図3を参照するに、前記処理室101内の圧力が約133Pa (1 Torr)の時に最も酸化速度は速くなり、この圧力ないしはその近傍の圧力条件が最適であることがわかる。この最適圧力は、前記シリコン基板103の面方位が(100)面である場合に限らず、どの面方位のシリコン表面であっても同じである。

【0045】

所望の膜厚のシリコン酸化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをパージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

【0046】

以上のKr/O₂プラズマ酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シント処理工程等を施してMOSトランジスタやキャパシタを含む半導体集積回路装置を完成させることができる。

上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で10¹²/cm²程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で10¹¹/cm²程度以下であることが確認された。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で10¹²/cm²を超える水素を含んでいた。

【0047】

また、上記の手順で形成されたシリコン酸化膜を剥離した後のシリコン表面と酸化膜形成前のシリコン表面の粗さを原子間力顕微鏡で測定して比較したところ、シリコン表面の荒さが変化していないのが確認された。すなわち、終端水素を除去して酸化した後でもシリコン表面が荒れることはない。

【0048】

本ゲート絶縁膜薄膜形成方法によると、シリコン基板と、MOSトランジスタ

のゲート絶縁膜として形成されるシリコン酸化膜との、界面に残留する水素が除去され、その界面が平坦化される。この平坦化により、その界面における低界面準位密度を実現することができ、ゲート絶縁膜が薄膜化されても良好な電気的特性（低リーク電流特性、低界面準位密度、高耐圧性、高ホットキャリア耐性、均一なしきい値電圧特性など）が得られるようになっている。また、さらに、如何なる面方位に形成されたゲート絶縁膜もそれらの面方位に対して良好な電気的特性を得る事もできるようになる。

【0049】

次に、上述したゲート絶縁膜薄膜形成方法を利用し、シリコン基板の（100）面のみならず（111）面や（110）面を使用してMOSトランジスタの形成を行なった例を示す。

図4は、図1のプラズマ処理装置100により、シリコン基板の（100）面、（111）面、および（110）面を酸化した場合の Kr/O_2 プラズマ酸化膜の成長レートを、熱酸化膜の成長レートと比較して示している。

【0050】

図4を参照するに、 Kr/O_2 プラズマ酸化膜では熱酸化膜の場合よりもはるかに大きな成長レートが得られており、活性な原子状酸素 O^* を使ったSi基板の酸化が非常に効率良く進むことが示されている。さらに図4より、 Kr/O_2 プラズマ酸化膜では、Si原子の面密度がより大きな（111）面、（110）面上での成長レートが、（100）面上での成長レートよりも小さくなっている事が分かる。これは原料供給律速プロセスから導かれる帰結と一致しており、このようにして形成したプラズマ酸化膜は、優れた膜質を有している事が示唆される。

【0051】

これに対し、Si基板の（111）面、（110）面上に熱酸化膜を形成した場合には、（100）面上に熱酸化膜を形成した場合よりも酸化膜の成長レートが大きくなっており、（111）面、（110）面上に形成されている熱酸化膜は膜質が劣ることを示唆している。

【0052】

図5はこのようにして形成された Kr/O_2 プラズマ酸化膜と熱酸化膜とで界

面準位密度を比較した結果を示す。

図5を参照するに、Kr/O₂プラズマ酸化膜ではシリコンの(100)面上に形成された場合でも(111)面、(110)面上に形成された場合でも、界面準位密度は(100)面上に形成された熱酸化膜の界面準位密度よりも低く、非常に高品質な酸化膜が得られているのがわかる。

【0053】

これに対し、シリコンの(111)面、(110)面上に形成された熱酸化膜では、図4の結果から予測された通り界面準位密度が非常に大きく、MOSトランジスタのゲート絶縁膜に使用した場合には、キャリアの捕獲によるしきい値電圧の変化やゲートリーク電流の増大など、様々な問題が生じると考えられる。

【0054】

図6(A)～(C)は、シリコン基板のそれぞれ(100)面、(111)面、および(110)面上に、図1のプラズマ処理装置100によりシリコン酸化膜を形成し、かかるシリコン酸化膜をゲート絶縁膜としてpチャネルMOSトランジスタを形成した場合のドレイン電圧対規格化ドレイン電流特性を示す。ただし図6(A)、(B)では、シリコン酸化膜を前記Kr/O₂プラズマ処理により形成した場合と熱酸化処理により形成した場合の両方を示している。これに対し、図6(C)では、熱酸化処理では(110)面上に酸化膜が形成できないため、Kr/O₂プラズマ処理により形成したゲート酸化膜の例のみを示している。図6(A)の結果は、ゲート長が10 μ mでゲート幅が50 μ mのpチャネルMOSトランジスタについてのものであり、図6(B)、(C)の結果は、ゲート長が10 μ mでゲート幅が300 μ mのpチャネルMOSトランジスタについてのものである。

【0055】

図6(A)～(C)を参照するに、pチャネルMOSトランジスタのドレイン電流、従って相互コンダクタンスないし電流駆動能力は、トランジスタをシリコンの(100)面以外の結晶面、例えば(111)面あるいは(110)面上に形成することにより増大させることが可能であること、特にpチャネルMOSトランジスタをシリコンの(111)面上に形成した場合に(100)面上に形成した

pチャネルMOSトランジスタの約1.3倍の電流駆動能力が得られること、また(110)面上に形成した場合には約1.8倍の電流駆動能力が得られることがわかる。

【0056】

図7は、NチャネルMOSトランジスタの構成例である。
同図に示されるNチャネルMOSトランジスタは、(110)面を主面とするSi基板710の上に、先に図1で説明したプラズマ処理装置100によってシリコン酸化膜が一様に形成され、その形成されたシリコン酸化膜の上にポリシリコンゲート電極730が形成されている。さらに、かかるゲート電極730のパターニングに伴って前記シリコン酸化膜もパターニングされ、前記ゲート電極730に対応してゲート絶縁膜720が同図の太い実線と破線で囲まれる領域に形成される。

【0057】

そして、前記ゲート電極730を自己整合マスクにn型不純物をイオン注入することにより、前記ゲート電極730の両側にn型拡散領域710aおよび710bが形成される。その結果、前記Si基板710上にnチャネルMOSトランジスタが形成される。なお、同図においては、上記n型拡散領域710aおよび710b間にチャンネルが形成された際のその形成範囲を斜線で示す事とした。

【0058】

なお、同図はnチャネルMOSトランジスタの構成例であるが、ゲート電極を自己整合マスクにp型不純物をイオン注入して、そのゲート電極の両側にp型拡散領域を形成することにより、Si基板上にpチャネルMOSトランジスタを形成することもできる。

【0059】

このように構成したMOSトランジスタにおいては、Si基板とゲート酸化膜の界面で低界面準位密度を実現できるので、1/f雑音を低減でき、良好な電気的特性が安定して得られる。このため、素子間における電気的特性のバラツキを低下させたより安定なMOSトランジスタを構成できる。

【0060】

なお、上記構成例ではSi基板の(110)面に対してトランジスタを形成したが、その他の(100)面や(111)面に形成しても、上述した効果は得られる。

次に、上記(110)面のように一方位面のみにトランジスタを構成するのではなく、複数の方位面を同時に利用してトランジスタを構成(立体構成)する例を示す。

【0061】

図8、9は、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタからなるCMOS (Complementary Metal Oxide Semiconductor) トランジスタの構成例である。

ただし図9は、図8の一部を取り出して示した図である。

【0062】

図8、9を参照するに、CMOSトランジスタ800は素子分離領域805により隔てられたn型領域Aとp型領域Bとが形成された(100)面を主面とするSi基板810上に形成されており、図9に示すように、前記領域Aには幅が W_1 で高さが H_A の突出部810Aが、また領域Bには幅が W_{1B} で高さが H_B の突出部810Bが両側壁面に形成されている。図9よりわかるように、前記突出部810A、810Bの頂面は(100)面により、側壁面は(110)面により画成されている。

【0063】

図9のSi基板810上には、先に図1で説明したプラズマ処理装置100によりシリコン酸化膜が一様に形成されており、さらにその上に、図8に示すポリシリコンゲート電極830Aおよび830Bが、それぞれ領域AおよびB上に形成されている。さらにかかるゲート電極830Aおよび830Bのパターニングに伴って前記シリコン酸化膜もパターニングされ、前記ゲート電極830Aに対応してゲート絶縁膜820Aが、またゲート電極830Bに対応してゲート絶縁膜820Bが、同図に太い実線と斜線で囲まれる領域に形成される。

【0064】

さらに図8のCMOSトランジスタ800では、前記n型領域Aにおいて前記

ゲート電極 830A を自己整合マスクに n 型不純物をイオン注入することにより、前記ゲート電極 830A の両側に、前記突出部 810A をも含んで n 型拡散領域 810a および 810b が形成される。同様に、前記 p 型領域 B においても前記ゲート電極 830B の両側に、前記突出部 810B をも含んで p 型拡散領域 810c および 810d が形成される。その結果、前記 Si 基板 810 上には前記領域 A に n チャンネル MOS トランジスタ 840A が、また前記領域 B に p チャンネル MOS トランジスタ 840B が形成される。

【0065】

本例に示す CMOS トランジスタ 800 では、n チャンネル MOS トランジスタ 840A はゲート長 L_{gA} をまた p チャンネル MOS トランジスタ 840B はゲート長 L_{gB} を有し、前記ゲート電極 830A は、Si 基板 810 の平坦部を、前記突出部 810A のそれぞれの側において、ゲート幅 $W_{2A}/2$ で覆う。その結果、前記ゲート電極 830A の (100) 面上におけるゲート幅は、前記突出部 810A の頂部を含めて、 $W_{1A} + W_{2A}$ により与えられる。これに対し、前記ゲート電極 830A の (110) 面上におけるゲート幅は両側壁面に形成されているので $2H_A$ で与えられ、その結果、前記領域 A に形成される n チャンネル MOS トランジスタ 840A の電流駆動能力は、式 $\mu_{n1}(W_{1A} + W_{2A}) + 2\mu_{n2}H_A$ により与えられる。ただし μ_{n1} は、(100) 面における電子移動度を、 μ_{n2} は (110) 面における電子移動度を表す。

同様に、前記領域 B に形成される p チャンネル MOS トランジスタ 840B の電流駆動能力は、式 $\mu_{p1}(W_{1B} + W_{2B}) + 2\mu_{p2}H_B$ により与えられる。ただし μ_{p1} は、(100) 面におけるホール移動度を、 μ_{p2} は (110) 面におけるホール移動度を表す。

【0066】

このように、Si 基板 810 の主面とする (100) 面に加え、それとは異なる面方位の (110) 面に対してゲートを形成できるので、上記主面のゲート幅を小さくして素子面積を小さくし、主面のゲート幅を上記 (110) 面に対して形成したゲートのゲート幅で補填することができる。その結果、トランジスタ素子を小型化することが可能になる。

【0067】

なお、上述した例では側壁面へ形成するトランジスタを両側壁面に対して形成したが、片側壁面であってもよい。

また、上記 H_A を0とする構成にすることもできる。

また、同図においては、Si基板810上方のn型拡散領域810aおよび810b間、或いはp型拡散領域810c及び810d間に、ゲート絶縁膜820A或いは820Bに沿ってチャネルが夫々形成された際のその形成範囲を斜線で示すこととした。この図からも明らかなように、上述したゲート絶縁膜に沿ってSi基板中に形成されるチャネルのチャネル幅は、例えばnチャネルMOSトランジスタ840Aで言えば、(100)面の上記 $W_{1A}+W_{2A}$ 及び(110)面の上記 $2H_A$ の総和に追従し、例えばpチャネルMOSトランジスタ840Bで言えば、(100)面の上記 $W_{1B}+W_{2B}$ 及び(110)面の上記 $2H_B$ の総和に追従する。

【0068】

よって、 $W_{1A}+W_{2A}=W_{1B}+W_{2B}$ 、 $\mu_{n1}(W_{1A}+W_{2A})+2\mu_{n2}H_A=\mu_{p1}(W_{1B}+W_{2B})+2\mu_{p2}H_A$ を満たすように、 H_A 及び H_B を決めれば、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタは互いの素子面積が一致し、かつ電流駆動能力が一致したCMOSトランジスタを構成できるようになる。

【0069】

同図に斜線で示されるようにチャネルが立体的に形成されることにより、一平面に形成されるチャネルにおけるピンチオフ点（チャネルキャリア密度が略0になる点）の移動に基づく実行ゲート長の減少が抑制され、飽和領域におけるドレイン電流の増加が抑制できる。

【0070】

その結果、MOSトランジスタによって増幅される信号における信号歪が低減される事となる。

ここではCMOSトランジスタの構成例を示した。しかし、当然、相補型としない構成、すなわちnチャネルMOSトランジスタ840A或いはpチャネルM

OSトランジスタ840Bのみを、上述したように(100)面、(110)面を使用して立体的に構成することもできる。そして、当然、そのようにnチャネルMOSトランジスタ、或いはpチャネルMOSトランジスタのみにおいても、上述した作用効果が同様に得られる。

【0071】

このように、プラズマ処理装置100によりシリコン酸化膜が如何なる面方位に対しても一様に形成されることにより、 $1/f$ 雑音が低減され、複数の面方位にゲートを形成してトランジスタを立体構造にすることにより、チャネル長変調効果良好が低減され、素子間にバラツキのない良好な電気的特性を得る事が可能となる。また、上記立体構造としたことにより素子面積を小さくできる。

【0072】

次に、上記ゲート絶縁膜薄膜形成方法を用いて形成した薄膜構造のゲート絶縁膜からなる上記立体構造のMOSトランジスタが適用されるミキサ回路を示す。

図10(a)はミキサを含む周波数変換回路のブロック図を示したものである。同図(a)に示される周波数変換回路1000は、ローカル信号を出力する局部発振器1002、及び、RF信号とそのローカル信号とを入力してそれらを乗算し、RF信号を例えば中間周波数やベースバンドに周波数変換させて出力するミキサ1004とから構成される。

【0073】

図10(b)は、そのミキサ1004の内部回路の一例である。

ミキサ1004の構成としては、例えば、RF信号を単相入力とし、LO信号を差動入力とした構成のシングルバランス・ミキサや、LO信号と同様にRF信号も差動入力とした構成のダブルバランス・ミキサなどがあるが、本例の回路構成は、ダブルバランス・ミキサであるギルバートセル構成のミキサ回路を示すこととした。また、本例では、一例としてnチャネルMOSトランジスタを適用させた場合を示すが、pチャネルMOSトランジスタを適用したり、或いはnチャネルMOSトランジスタ及びpチャネルMOSトランジスタを使用しても良い。また、特に図示しなが、CMOSトランジスタを用いてミキサ回路を構成してもよい。

【0074】

同図のミキサ回路は、LO信号を入力する2組の差動対トランジスタM1～M4とRF信号を入力する1組の差動対トランジスタM5、M6と、アクティブロードM8、M9とが、縦型に接続されることによって形成されている。

トランジスタM5、M6において、それらのソースはバイアス電圧VBIASを供給したトランジスタM7を介して接地され、各ゲートにはRF信号が差動入力される。

【0075】

また、トランジスタM1、M2、M3、M4において、トランジスタM1、M2のソースはM5のドレインと接続され、トランジスタM3、M4のソースはトランジスタM6のドレインと接続され、M1、M4のゲートを接続した接続点とM2、M3のゲートを接続した接続点とにLO信号が差動入力される。

【0076】

また、アクティブロードM8、M9において、アクティブロードM8のソースはトランジスタM1、M3のドレインと接続され、アクティブロードM9のソースはトランジスタM2、M4のドレインと接続され、アクティブロードM8、M9のゲート間が接続され、それらのゲート間の接続点とアクティブロードM8のソースが接続され、アクティブロードM8、M9のドレインが電源VDDに接続される。

【0077】

そして、トランジスタM1、M3のドレインに第1の混合出力端子B1を設けると共にM2、M4のドレインに第2の混合出力端子B2を設ける。

同図に示されるように、本回路は、nチャネルMOSトランジスタによって左右対称の回路構成にしている。

【0078】

本回路は、LO信号とRF信号が入力されることによりRF信号が周波数変換されてその周波数変換された信号が混合出力端子から出力される、ミキサ回路を構成している。例えば、LO信号とRF信号の周波数が大きく異なれば混合出力端子から中間周波数(IF)信号が出力され、LO信号とRF信号の周波数が同

じであれば混合出力端子からベースバンド信号が出力される。

【0079】

本回路に構成される各トランジスタ素子は互いにバラツキのない高性能電気的特性が得られるようにより形成される。そのため、各トランジスタから生ずる $1/f$ 雑音は大幅に低減され、それらの出力信号に含まれる雑音は少ない。

また、差動対トランジスタから出力される信号には、互いのトランジスタ素子における電気的特性のバラツキが少ないため、DC オフセットが抑制できる。

【0080】

さらに、本回路においては、全体をトランジスタで左右対称に構成させているため、各トランジスタ素子におけるチャネル長変調効果による信号歪の低減は勿論のこと、混合出力端子からは歪の少ない高品質な混合信号が出力される。

なお、上記回路構成は最も好適な例であり、上記 $1/f$ 雑音の低減や、チャネル長変調の低減については、ミキサ回路に少なくとも一つ立体構造の MOS トランジスタが含まれていさえすれば、上述した効果を生じる。

【0081】

また、DC オフセットについても、トランジスタを差動対で構成することが望ましいが、例えば、LO 信号または RF 信号を入力する段に差動対トランジスタが構成されていれば、上述した効果を生じる。

なお、特に図示されていないが、上記受信機用に使用されるミキサ回路は送信機用のミキサ回路にも適用でき、上述した効果が同様に得られる。

【0082】

以上より、本発明の実施の形態のミキサ回路は、ミキサ回路から出力される例えば IF 信号やベースバンド信号などの混合出力信号に上記トランジスタ素子から生じる $1/f$ 雑音や、上記トランジスタ素子毎の電気的特性のバラツキによる DC オフセットや、チャネル長変調効果による信号歪の発生が大幅に低減された回路構成をとる。

【0083】

そして、ミキサ回路で混合される LO 信号と RF 信号の周波数が等しいダイレクトコンバージョン受信方式（このダイレクトコンバージョン受信方式の回路構

成は、図 11 を用いて従来技術で説明しているため、この説明はここでは省略する) に本発明の実施の形態のミキサ回路を構成すれば、従来のダイレクトコンバージョン受信方式で問題となっていた後段の A/D 変換器においてダイナミックレンジを有効利用できるようになる。さらに、上記 DC オフセットや $1/f$ 雑音や信号歪が低減されたことにより、ダイレクトコンバージョン受信方式によって復調する信号の品質を高くすることが可能になる。

【0084】

そして、言うまでもないが、上記トランジスタでは立体的構造を持たせることにより素子面積を小さくできるので、高密度な半導体集積回路を実現させることができ、同様に、このトランジスタを適用したミキサ回路或いはダイレクトコンバージョン受信方式用の IC も小型化できる。

【0085】

【発明の効果】

以上述べたように、本発明によれば、ミキサ回路に構成されるトランジスタ素子で発生する $1/f$ 雑音や、トランジスタ素子の電気的特性のバラツキによって出力信号に生じる DC オフセットや、チャネル長変調効果に基づく信号歪を、半導体基板上にトランジスタを集積化した場合においても大幅に低減させることが可能となる。

【0086】

また、ミキサ回路を上記構造のトランジスタを使用して CMOS 構造にする事も可能になり、出力信号の高品質化と共に、ミキサ回路の小型化、低消費電力化が可能になる。

さらに、ダイレクトコンバージョン方式に上記ミキサ回路を用いることにより、後段の A/D 変換器においてダイナミックレンジを有効利用できるようになり、高品質な復調信号を得る事が可能になると共に、受信機を小型化することも可能になる。

【図面の簡単な説明】

【図 1】

ラジアルラインスロットアンテナを用いたプラズマ処理装置 100 の一例を示

す断面図である。

【図 2】

シリコン基板 103 表面におけるシリコン-水素結合を赤外分光器により分析した結果である。

【図 3】

処理室内の Kr/O_2 の圧力比を $97/3$ に保持しつつ、前記処理室 101 内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係である。

【図 4】

Kr/O_2 プラズマ酸化膜の成長レートと熱酸化膜の成長レートとの比較図である。

【図 5】

Kr/O_2 プラズマ酸化膜と熱酸化膜との界面準位密度の比較図である。

【図 6】

ドレイン電圧対規格化ドレイン電流特性である。

【図 7】

n チャネル MOS トランジスタの構成例である。

【図 8】

CMOS トランジスタの構成例である。

【図 9】

図 8 の一部を取り出して示した図である。

【図 10】

ミキサ回路の一例である。

【図 11】

一般的なダイレクトコンバージョン受信方式の回路ブロック図である。

【符号の説明】

800 CMOS トランジスタ

805 素子分離領域

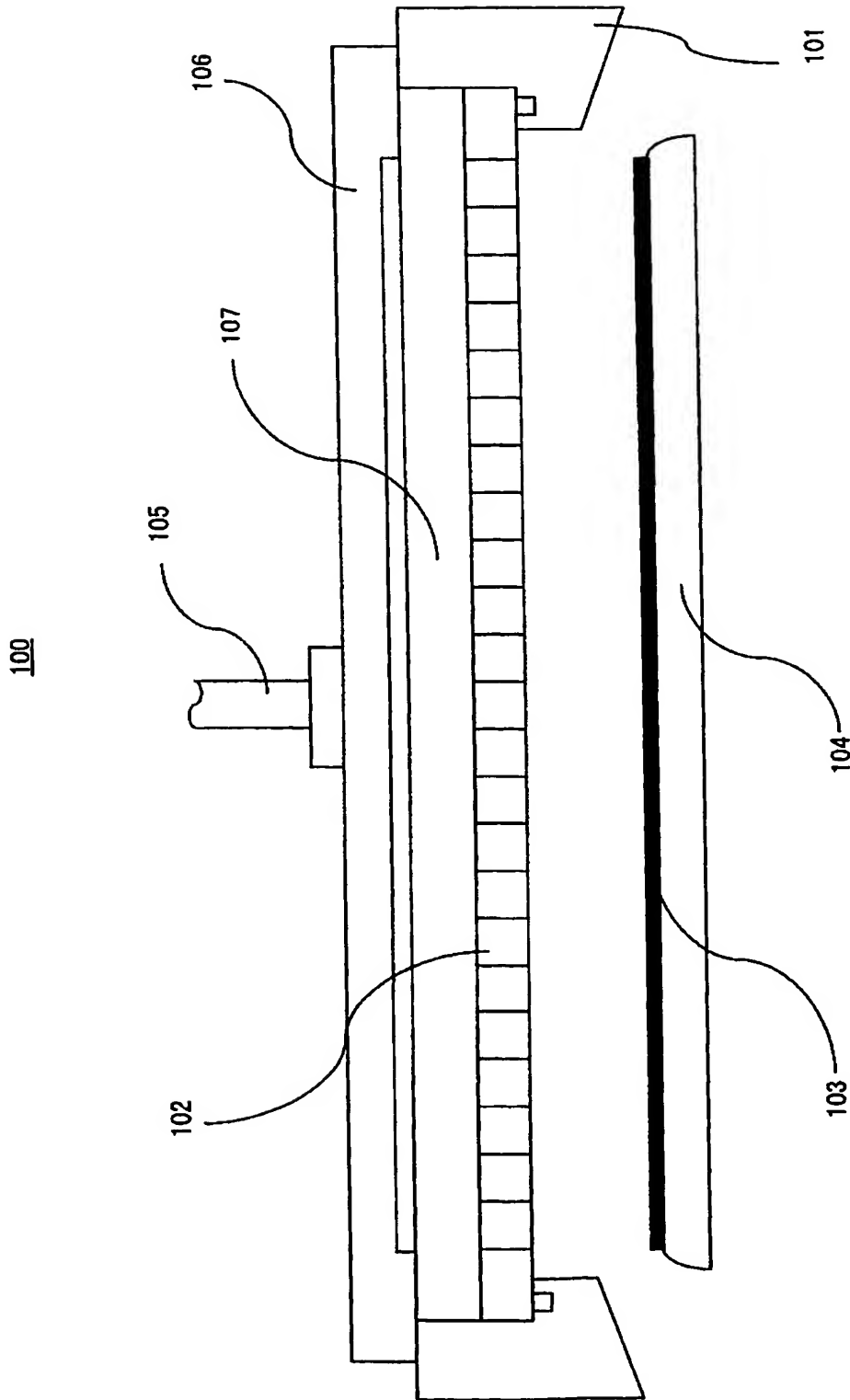
810 Si 基板

810A、810B 凸部
820A、820B ゲート絶縁膜
830A、830B ゲート電極
840A nチャネルMOSトランジスタ
840B pチャネルMOSトランジスタ
810a、810b n型拡散領域
810c、810d p型拡散領域

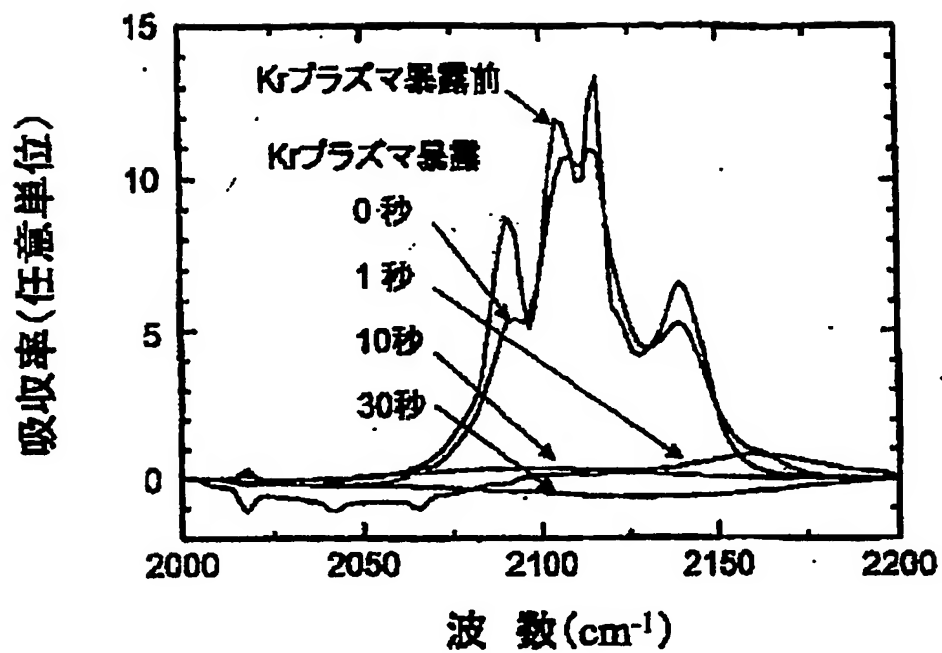
【書類名】

図面

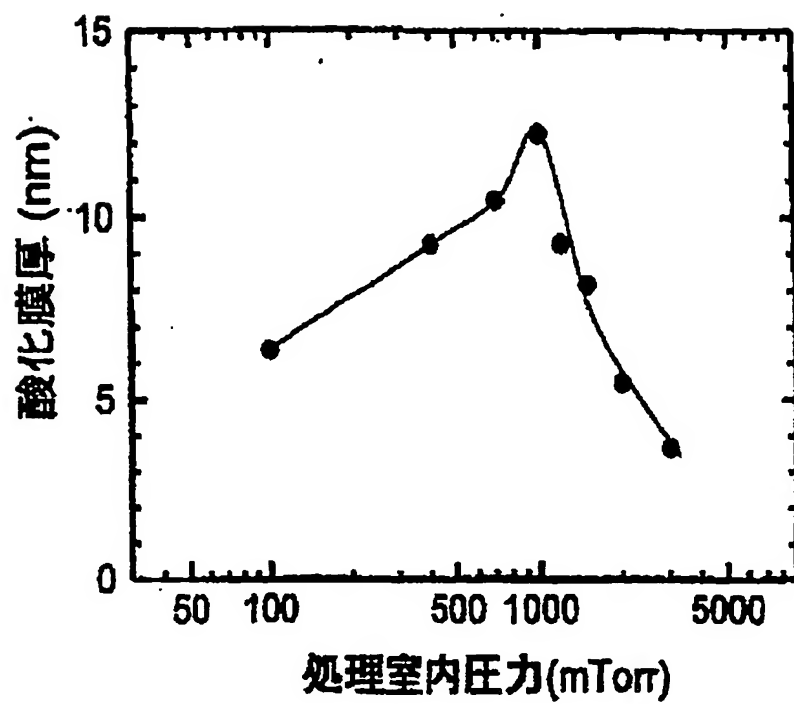
【図 1】



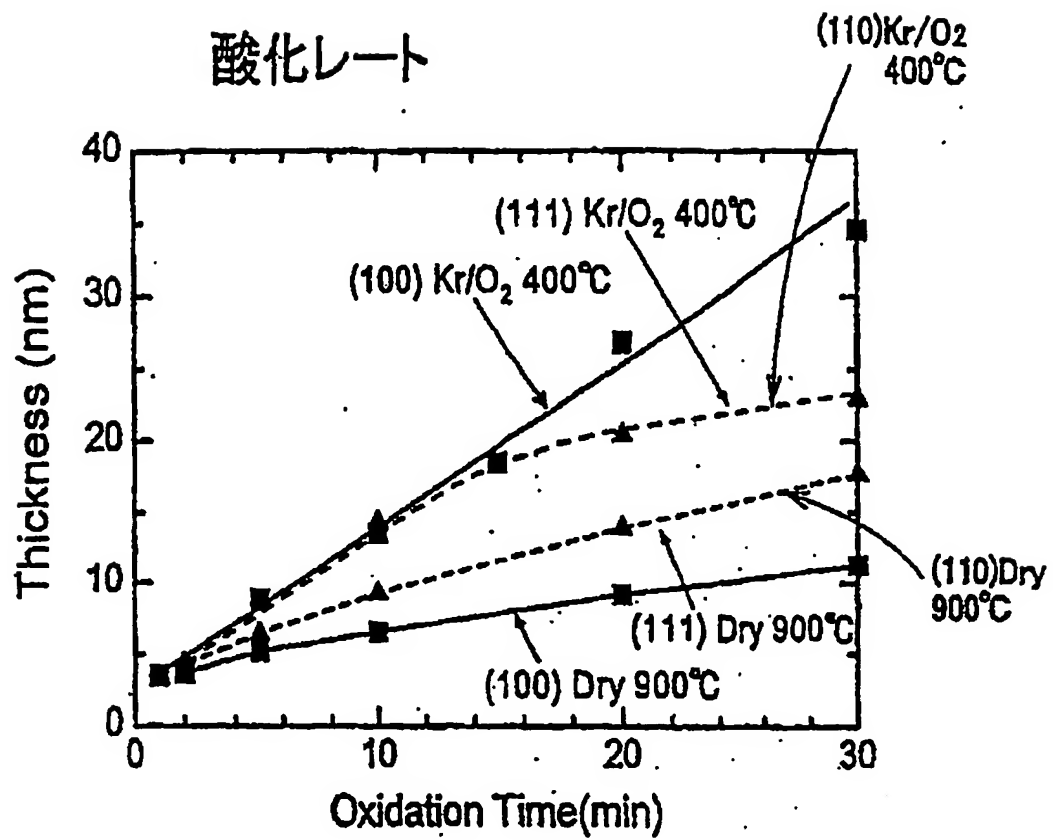
【図 2】



【図 3】

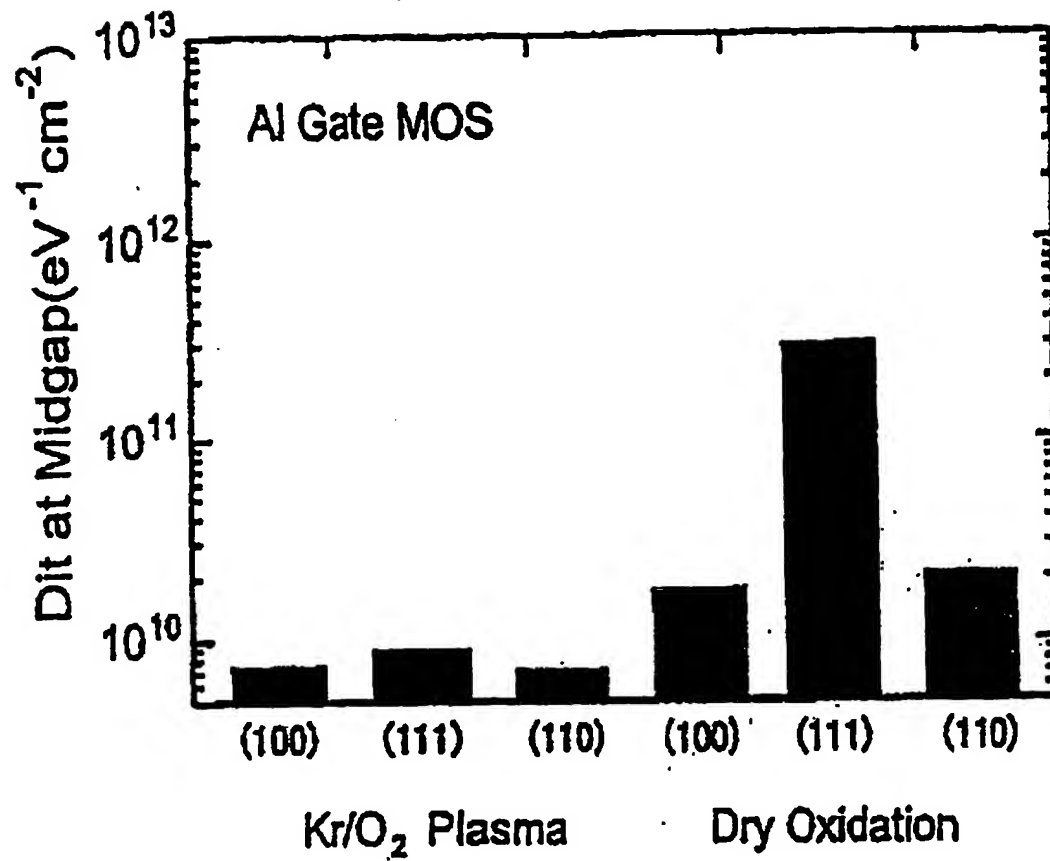


【図 4】

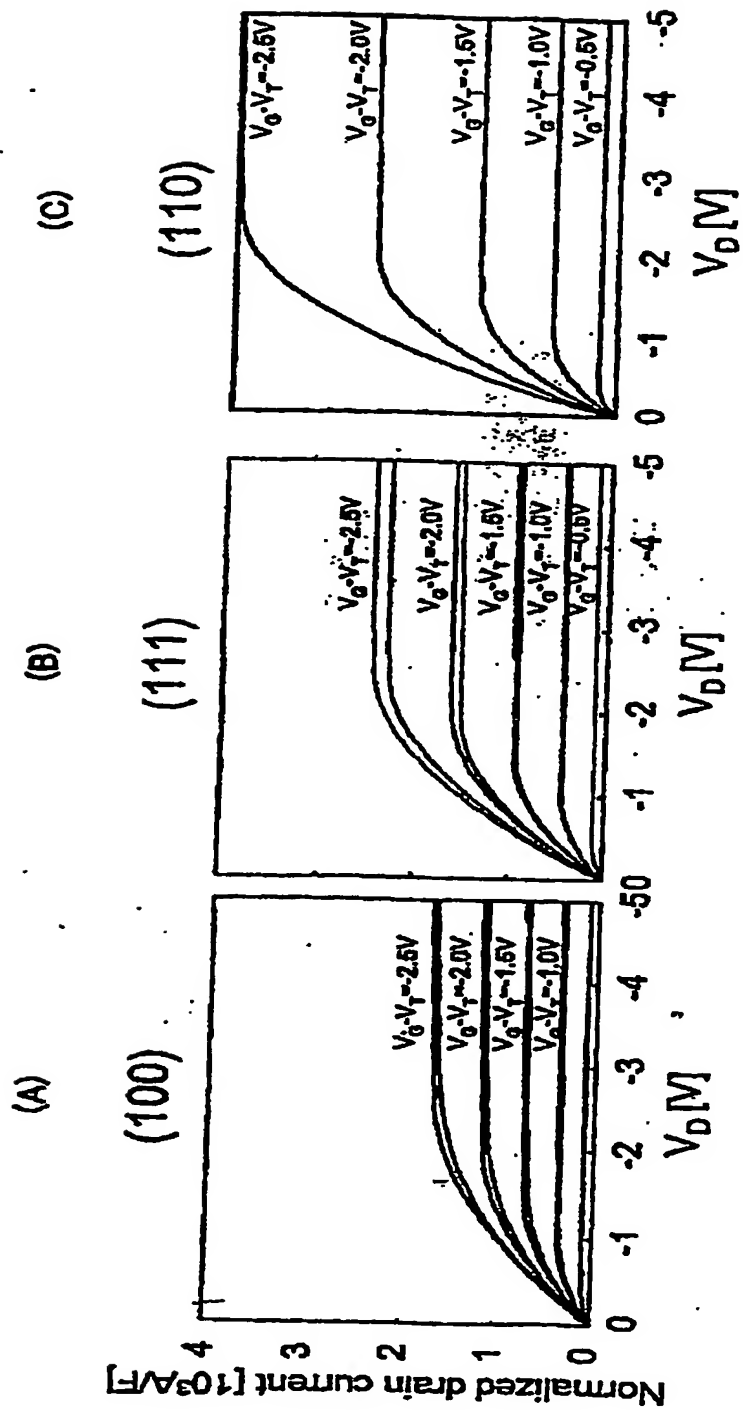


【図 5】

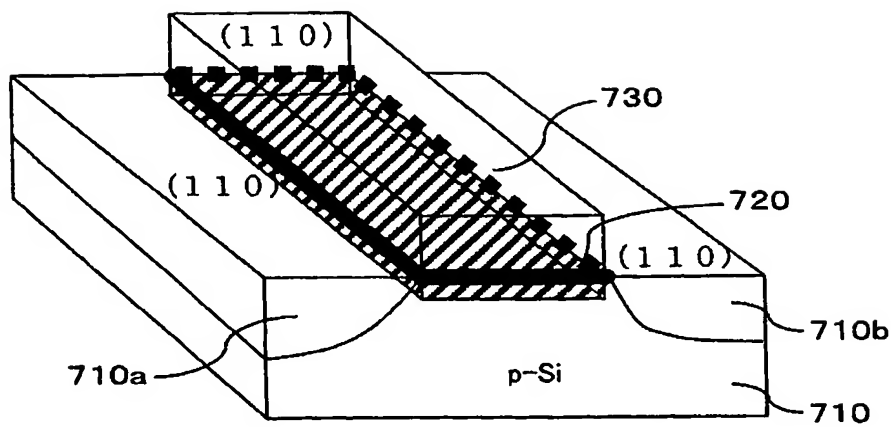
界面準位密度 (100) vs. (111)



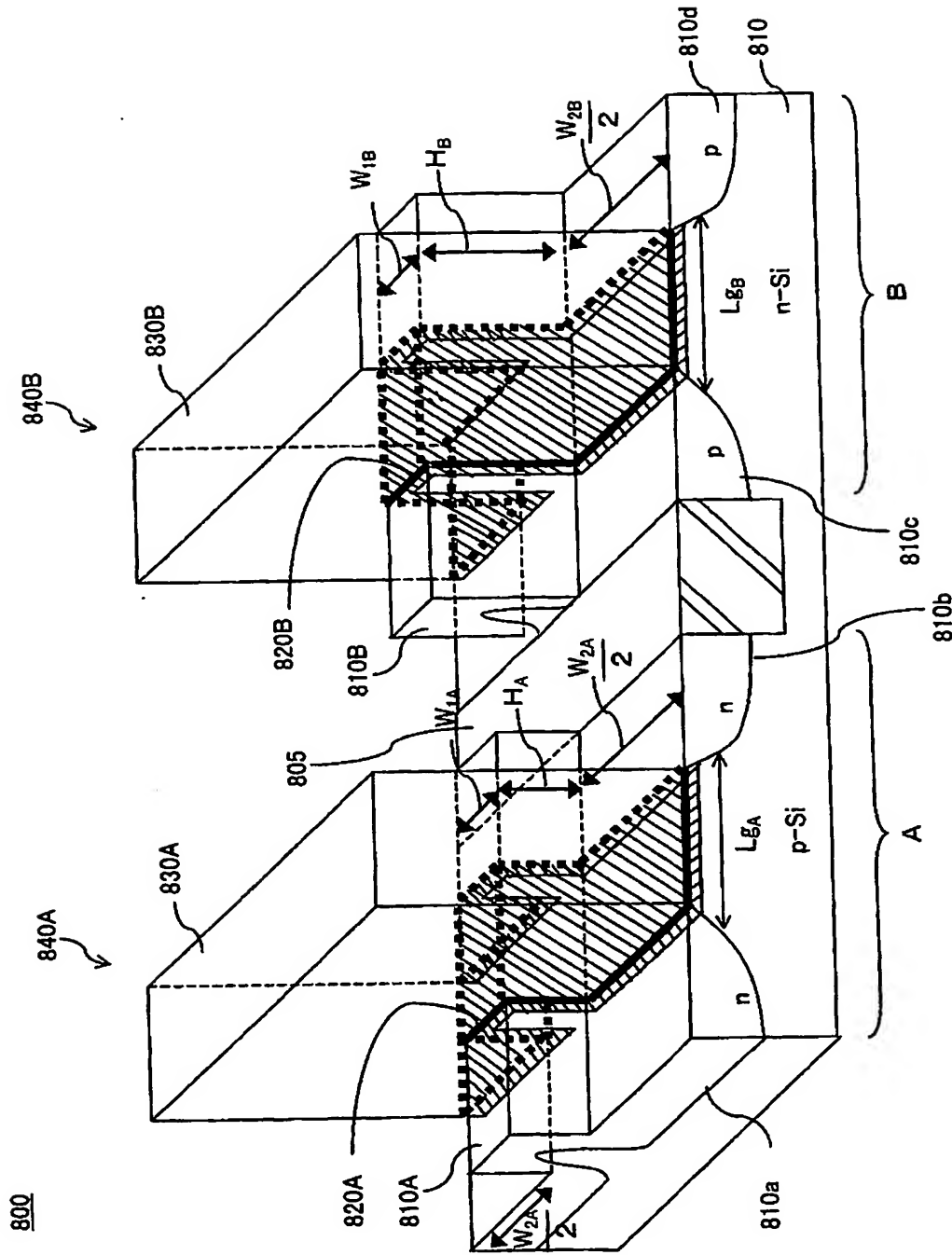
【図 6】



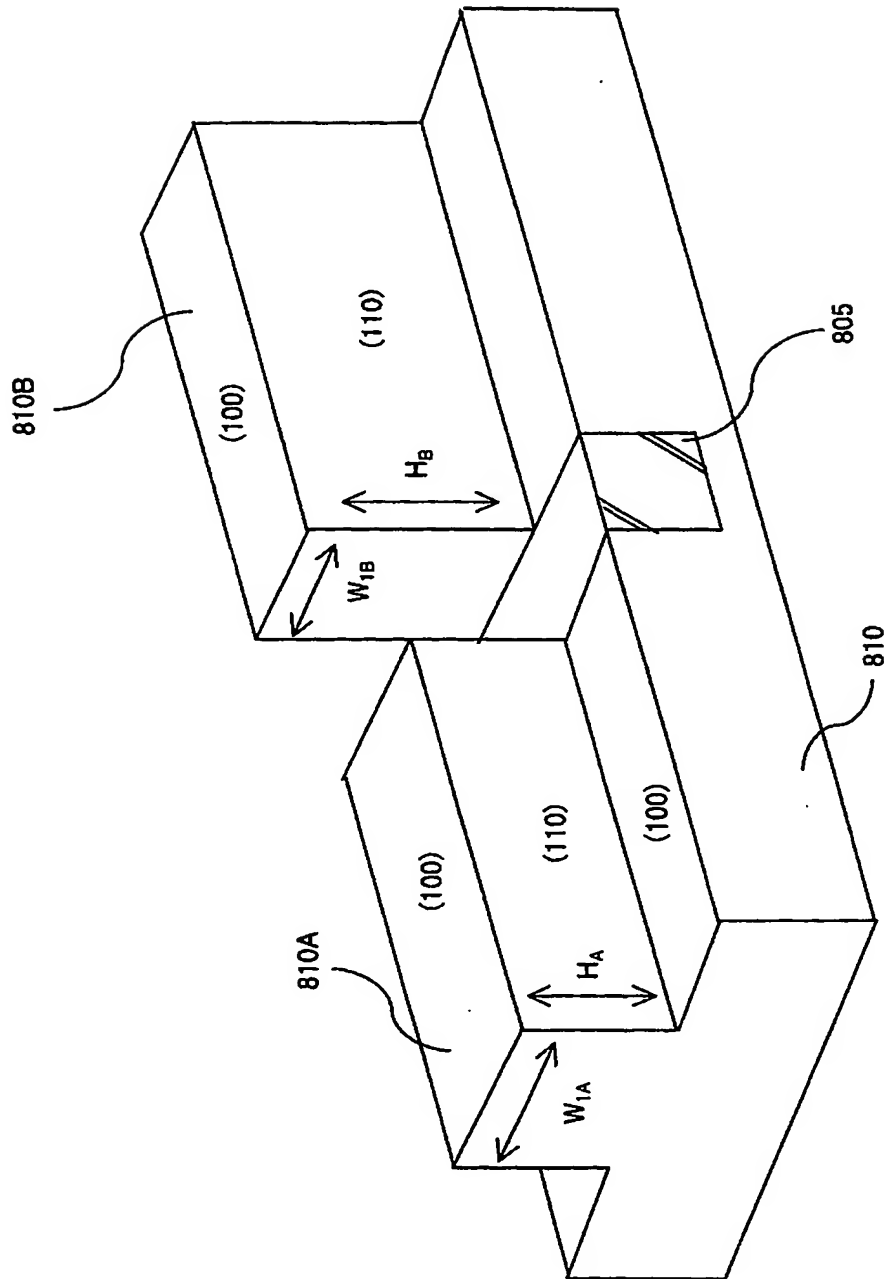
【図 7】



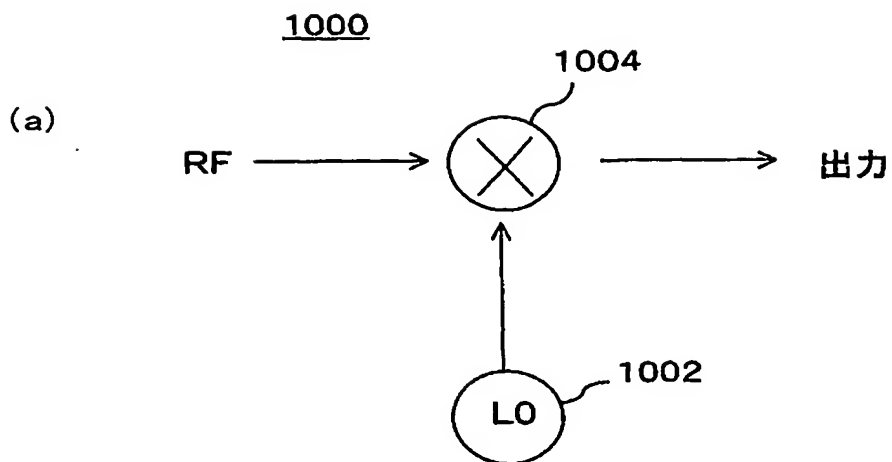
【図 8】



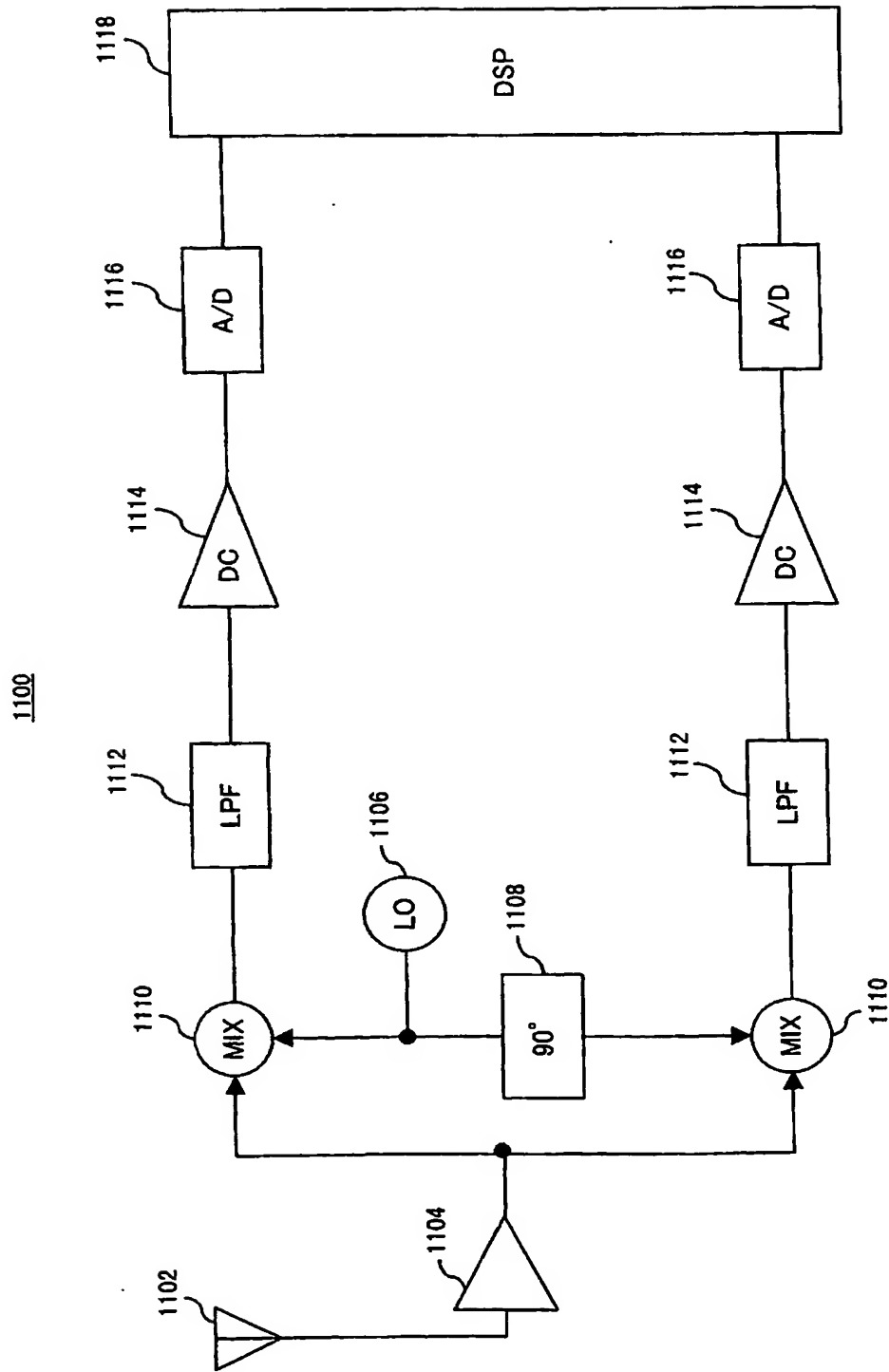
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 本発明は、出力される混合信号の品質を向上させることが可能なミキサ回路を提供することを目的とする。

【解決手段】 少なくとも二つの結晶面を有する半導体基板（810A、810）と、該半導体基板上であって前記結晶面の少なくとも二つに対して形成したゲート絶縁膜（820A）とを有し、前記ゲート絶縁膜に沿って前記半導体基板中に形成されるチャネルのチャネル幅が、前記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅の総和で示される、pチャネルMOSトランジスタ（840A）及びnチャネルMOSトランジスタ（840B）を組み合わせたCMOSトランジスタ（800）を用いて、ミキサ回路を構成する。

【選択図】 図8

特願 2 0 0 3 - 1 6 8 5 2 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 2 1 8]

1. 変更年月日	2 0 0 1 年 8 月 1 日
[変更理由]	名称変更
住 所	愛知県刈谷市豊田町 2 丁目 1 番地
氏 名	株式会社豊田自動織機

特願 2 0 0 3 - 1 6 8 5 2 9

出 願 人 履 歴 情 報

識別番号 [5 9 1 2 2 0 8 5 0]

1. 変更年月日	1 9 9 6 年 5 月 9 日
[変更理由]	住所変更
住 所	新潟県上越市西城町 2 丁目 5 番 1 3 号
氏 名	新潟精密株式会社

特願2003-168529

出願人履歴情報

識別番号

[000205041]

1. 変更年月日

1990年 8月27日

[変更理由]

新規登録

住所

宮城県仙台市青葉区米ヶ袋2-1-17-301

氏名

大見 忠弘